SEMICONDUCTOR DEVICE

Patent Number:

JP10022449

Publication date:

1998-01-23

Inventor(s):

MIMURA TADAAKI

Applicant(s)::

MATSUSHITA ELECTRIC IND CO LTD

Requested Patent:

☐ JP10022449

Application Number: JP19960172012 19960702

Priority Number(s):

IPC Classification:

H01L25/04; H01L25/18; G06F17/50; H01L23/538

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To minimize the system cost, increase the degree of freedom in wiring design within an interconnecting network, improve the signal transmission property, and improve the efficiency of interprocessor data transfer, by forming a processor portion and an interconnecting network portion using separate semiconductor chips, respectively, and unifying these portions in a COC structure.

SOLUTION: A semiconductor device has a COC structure in which a PE chip 11 on the upper surface and an interconnecting network forming chip 13 on the lower surface are bonded, with active surfaces thereof facing each other. The junction between-the chips 11 and 13 is realized by connecting area electrode pads 16, 18 formed in the PE chip 11 and the interconnecting network forming chip 13 by a bump 17. Thus, the PE including a microprocessor and DSP, which is a constituent element, may be produced in the minimum possible size. Also, the latest process enables designing which emphasizes performance, thus enabling improvement in degree of freedom in designing.

Data supplied from the esp@cenet database - 12

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平10-22449

(43)公開日 平成10年(1998)1月23日

(51) Int.Cl. ⁶		藏別記号	庁内整理番号	FΙ			技術表示箇所
H01L	25/04			H01L	25/04	Z	
	25/18			G06F	15/60	658E	
G06F	17/50			H01L	23/52	Α	
H01L	23/538						

審査請求 未請求 請求項の数3 〇L (全 6 頁)

(21)出願番号

特爾平8-172012

(22)出願日

平成8年(1996)7月2日

(71)出顧人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 三村 忠昭

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74)代理人 弁理士 滝本 智之 (外1名)

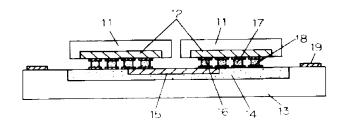
(54) 【発明の名称】 半導体装置

(57)【要約】

【課題】 複数のプロセッサコアと、プロセッサコア間 を相互接続するための結合網、特にクロスパ型等の密結 合網を集積した1チップ半導体装置が開発されている か、その構成上ハードウエア規模が大きくなるため、チップサイズの拡大してしまりという課題がある。また複 雑な相互配線を行りため、チップサイズ縮小には多層配 線プロセスを用いる必要があり歩留まり上の無ね合いで チップコストか下からない上いも問題が発生する。

【解決手段】 これらの課題を解決するため、な発明では複数シャイクロアロセッド、あるいはDSPが密結合した、マモチロロセドサ構成のレステムにおいて、アロセッド終して、相互信合等が14をデルドルドルンド算体チャリで呼吸し、COC(チェンオンチュア)構造では、をディー・ディデュ

- !1 PEチップ
- 12 PEプロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスパスイッチ
- 16 上面チップエリア電極バッド
- 17 バンブ
- 18 下面チップエノア電極パッド
- 19 下面チップ周辺電極パッド



【特許請求の範囲】

【請求項1】複数の半導体チップを互いの能動面同士が向かい合う状態で、かつ前記複数の半導体チップの電極パッド同士を電気的に接続した構造を有する半導体装置であって、一方の半導体チップがマイクロプロセッサを有する半導体チップであり、前記マイクロプロセッサを有する半導体チップであり、前記マイクロプロセッサを記述イクロプロセッサ間のデータ転送ネットワークを行う相互結合網を有することを特徴とする半導体装置。

1

【請求項2】マイクロブロセッサを有する半導体チャブ が前記マイクロブロセッサ間でのデード販送を制御する ためのコントローサを有することを特徴とする請求項1 記載**半導体装置。

【請欺項3】マイクロプロセとサ間のデータ転送ネット レールを行う相互結合網を有する中導体チップが前記マイクロプロセンサ間でのデータ転送を制御するためのコントローデを有することを特像とする請求項1記載の半 導体装置。

【発門で詳細な説明】

[0001]

【稲田が属する技術分野】本発明は、複数のマイクロプロポーサ、あるいはDSPを並列に動作させたマルチプロポーサとステムに関すさものであり、特に複数のプロポート間に相互指言網が出版されたようである。 に関するもつである。

[0002]

【独然の技術】近年各種システン機器の高速化・高機能化に、もない、半導体素子事体の処理速度向上と合わせ、Aまざまの並列処理技事の導入により、システムのトースも推能を上げるアプローチがきかんに行われている。これは、例えば画像データの圧縮。但長といった、複雑で高速性を要因される処理を、複数のプロセッサ・コン・ショ (PE) に分散させ、標準的な処理性能を持つでにもいせを並列動作させることにより、トータルででの理事度対向上させるといったものである。

【000は】モニでは下ては、生実のマキチではたっせ 構収について関節を参照しながら 専門する。図5は、一 純的な着結合製り相互結合網の形態を示したものであ し、マキチではむしせ構成のレステムを示すではいり固 でもれ。図5において、31はローカーサキントにトP E、32は相互結合が、33はPEの制御額であり、相 が完全的32には、ケースが型、トットラ型、ハイハキ ローで概念と同位、ADENA型(ハイハータフル型) な、一筆にこれる。

部分が相互結合網を示す。クロファ配線35は、データ 転送のパンド幅と信号伝送の周波数によりその配線本数 が決まる。例えば8、16、32、64ごそのビット数 を広げることでデータ転送レートは向上するが、それに 伴レ、一般的には実装コスト上昇で、実装規模拡大を招く。

2

【0005】以下図6のクロスバ型PE構成のパートウエアインプリメントの例について説明する。図7は、最もオーコリックスな形態の個別要署チャプでの構成を示すものであり、企業のクロンバ型相互結合網を持つ半導体装置の中面図である。

【0006】図でにおいて、36は、ハーケージされた PE、3ではパッケージされたウロスパスイ・チ、38 は回路基板内に形成された相互独立網配線、39は回路 基板である。この場合各チェブは個別にパッケージされ て回路基板に実装することにより、フランが構成されて いる。上記の図でに示す半導体装置は、一般的なQFP パッケージの例を示したものである。

【0001】一方上記の図でに示したQFPハッケージ 20 上は逆に、すべての構成要素を1年(プLSI内に形成 した例を図8に示す。図8は、主流のクコスパ型相互結 合網を持つ半導体装置を示す平面図のチェブの機能が ロックレイアフトを示したものである。図8において、 4.0はPFでは、や、4.1はタコスパスパッチを含む根 互組合例にプローク、4.2はチープ例でに配置された電 極パッド、40は半導体チープを示している。この例で は、1千。でにPEやクロフバフィッチ、相互接続配線 などの構成要素を全て集積。ている。例えばり、 $0.5 \, \mu$ mなどの最先端の繊細やげにせて、3、4層以上の多層 配線技術により複数のPEの密信をキャーワークが1手 シブで実現できる。具体的には、4つのフローティング 演算DSPコアをクロア「結合」定構成」なっているも のが存在する。このチャブにはそうに並列処理制御用す こて、NISCT3廿、サコアも搭載されている。

[00008]

【発明・「経典」より、生活の課題】、からながり、上記と でに示す。従来り構成では、各チャアを個別にパーケー の利回的基板へ搭載した構成であるため、各LSIチャ 世間の仁子伝接遅延が生し、例刊は60MH之以上の動 作速度、よるも、信力性動やコイス、タロスターでして った問題に生じている。

【00000】また、図8時代では、すべて以及及の1年 ・中に集積しているのが、同7分析的で載し物細的形式 水では存む。なみ、ま、1000円でで形でされるため、 よ・近途動作は主角である。からないで、は確定をで や地でからましなが、とし、一枚のな場でで、サイタが してでは、からからない。に、一枚のな場でで、サイタが またでは、からからない。に、一枚のな場でで、サイタが またでは、または、1000円のでは、10000円のでは、1000円のでは、1000円のでは、10000円のでは、10000円のでは、10000円のでは、10000円のでは、10 でを占めているためである。

【0010】チップサイズの拡大はすなわちチップコストの上昇になり、実アプリケーションへの適用に当たっては大きな課題となる。また、相互結合網を汎用ロジックと1チップ化するために設計ジールを用意する必要も生ごる。

【0011】さらにアデリケーションによって、PE間の相互結合網の形態を渡する必要が生じた場合、その都度LS1化を行う必要があり、開発工数・開発期間を要することとなる。

【0012】そこで本発明は、ミスペムコストを最小化すること、相互結合網内の配線設計の自由度を高めることにより、信号伝法特性を向上させ、プロサッサ間データ販送の効率を上げること、及び、設計自由度や設計効率を向上することの可能な半導体装置を提供することを目的とする。

[0013]

【課題を解決するための手段】上記の目的を達成するために本発明の半導体装置は、複数の半導体チャプの能動面司士が向かい合う形で半導体チャプの電極パッド同士が電気的に接続された構造において、対向する半導体チャプからち、一方が複数のマイクロプロセドサ、もるいはマイクロプロセッサ間でのデータ転送を制御するためのコントローチLSIであり、他方パマイクロプロセッサ間のボータ転送ネットマークを実現するための相互結合網が形成されているチャプであるように構成されている。

[0014]

【発明の実施の形態】以下、本器明の実施の形態における主導体装置については重を参照しなから説明する。本 実施の形態では、前述の4 PEクロフバ型キットフーク を例に説明するごととする。

【0015】 (実施で形態1) 図1は、 4 新明 5 一実施 中部熊における半導体装置の断面図を示したす りであ 5。図1において、1 1はPEチャブ、1 2はPEブロ ※2、13は昨星結合網形成チャで、14は相互結合網 形成領域、13はクロスルスイッチ目的、16は上面P Eチャブルようで電量ペット、1 7はハンご、18はT 面相互結合網中成チェアのエリア電域バット、19は干 董・中では、古電艦ハルトを注したくつである。 ×117.5 示したように、女実施の形態におけり半導体装置は、上 適呼、世上下直折。世八龍動道河出い高が、浮われらむ 九二字張り合とされた構造しなとている。これ与COC (チー194・ボーコ) 構造し降品。 おお願し形形では、 E. E. P. F. F. (1994). The Contract of the Con 13年起晚上江,对一连一个魁下楼间上,上前连一个。 TT 机等 1.1500 (2014) 化多数分配 1.15增加。 16,18 型 - 25 1717 W-9 11.3 日 砂点は、作うはMBB ex (1722 を 7222の)と to perfect that is a light effect for \$1.80 mm a

ッチ以下の微細接続が可能である。

【0016】図2は、上記の図1に示したこのCOC構造の半導体装置を上から見た平面図を示したものである。図2中下面チャブ13内に形成された相互結合網14の上に4つのPEチャブ11が配置され電気的に接続されている。

4

【0017】相互結合網14の中には、PE間でのデータ概差を制御する点めのコントコーラとしての4つのクコスパスイッチ15と、これこクロスバスイッチ間つ相り 互配線、および上面のPE舌ッで11と接続を行うためのエリア電極バッド18が形成されている。図3は、上面PEチッで11を搭載していない状態の下面チッで13を示した平面図である。上面PFチーで11のエリア電極バット16に対応した位置に電極バッド18か形成されている。この構成は、ちょうご図6の点線で囲まれた部分を切り出して、下面チェで内に形成したものである。すなれち、PEは相互結合網を別々のチップで作り、COC接合技術により一体化することである。

【0018】これにより、構成要素である。マイクロでロセッサ、DSPなどからなるPEを個別チップとしてできるだけ小型に作り込むことが可能になる。また、最新プロセスにより性能を重視した設計が下間で、設計の自由度を向上させることができる。例えば、上面チャでも最新の0、35ヶmでロセスで作り、下面相互結合網形式チャーでを言いませて、使えば0、5寸0、8ヶmでロセスでつくることで、半導体装置のデータリロストを伝滅させることが手能である。

【0019】また、PEチャでは標準的な仕様で形成し、レステムの要素に応じて、相互結合網の形態を変え の そことも可能である。すなわら、下面チャブのみの変更で、能述カクロマパ結合以外に、・メレッ型やハイパーキューが型などのネットワーク構成を、そことができる。その等、1チャで位づけます。異なら、相互は会網チャンのみの変更で対応できるため、内幅な設計開発期間の知識、関発コストの低減が可能である。

【0020】 (害癒の形態2)以下では、本発明・明の 「裏掘り形態、まけら生理体装置こついて点味すら、図4 は、お実施の形態における事質体装置の所面図を立った ものである。

 【0021】図4に示す実施の形態では、上面の1つの 作。中内心境数据のPFではでありを発売している。 上級の図1に示した医療の形態におけらら標体装置しないは、1で「中央性のである」でPE数でもなか、「お売で発 財費し集積度(ロロボス)により、発度な構成をしることができます。

[0023]

ត្រ [ទេ និស] ក្រុង ខុននុ ស័ណ្ឌ ស្មាល់ស

置は、複数のマイクロプロセッサ、あるいはDSPが密結合した、マルチプロセッサ構成のシステムにおいて、プロセッサ部と相互結合網部をそれぞれ別々の半導体チップで形成し、COC構造で一体化するものである。このため、プロセッサ部と相互結合網に対しそれぞれ最適なプロセスを適用させることが可能であり、システムコストを最小化することができる。

【0024】また、相互結合網内の配線設計の自由度を高めることができるため、配線幅、配線厚みの最適化により、信号伝送特性を向上させ、プロセッサ間データ転送の効率を上げることができる。さらに、プロセッサ部を共通に利用し、相互結合網のみの変更でシステム構築が可能である、など設計自由度、設計約率が向上し、トータルシステムのロストバフォーマンスを上げることができるといった、非常に大きな効果を生むことができる

【図面の簡単な説明】

【図1】本発明の実施の形態における半導体装置の断面 図

【図2】本発明の実施の形態における半導体装置の平面 図

【図3】本発用の実施の形態における半導体装置の平面 図

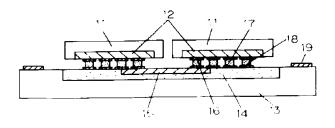
【図4】本発明の実施の形態における手導体装置の断面で

【図5】マルチプロセッサ構成のシステムを示すプロック図

【図6】クロスバ型相互結合網を示すブロック図

[🗵 1]

- 11 PEチップ
- 12 PEブロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスパスイッチ
- 一6 上面チップエリア電極パッド
- ・マーバンプ
- 18 下面チップエリア電極バッド
- 19 下面チップ周辺電極パッド



【図7】従来のクロマ 小型相互結合網を持つ半導体装置 を示す平面図

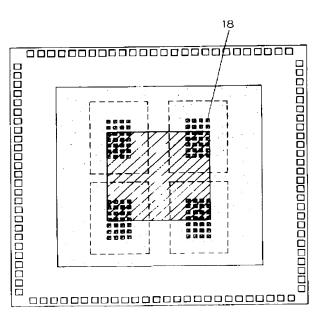
【図8】従来のクロスト型相互結合網を持つ半導体装置 を示す平面図

【符号の説明】

- 1.1 PE チップ
- 12 PE 中主
- 13 相互結合網形成チップ
- 1.4 相互结合網形取領域
- 0 15 クロスパンイッチ回路
 - 16 上面チップエリア電極パッド
 - 17 バンゴ
 - 18 下面チュプエして電極パッド
 - 19 下面チャプ選切パッド
 - 31 プロセッサエレメント (PE)
 - 3.2 相互活合網
 - 33 PE制御部
 - 34 クロフバスイッチ (論理上)
 - 35 クロフ/配線
- 20 3.6 PEパッケーが部品
 - 37 クロフバスイッチペッケージ品
 - 38 相互結合網配網
 - 3.9 国路基板
 - 40 チップ内PEデロー?
 - 4.1 相互结合網で対象。
 - 4.2 周辺電極ペット
 - 43 マレチプロサ、サル連体チャブ

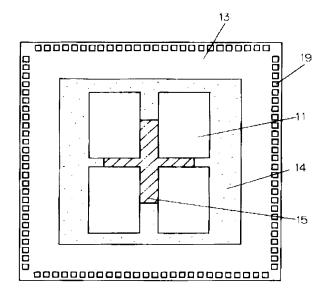
[E3]

18 下面チップエリア電極パッド



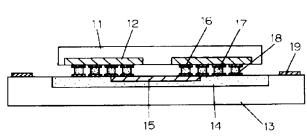
[🗵 2]

- 11 PEチップ
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスパスイッチ19 下面チップ局辺電極パッド



[🗵 4]

- 11 PEチップ 12 PEプロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域 15 クロスパスイッチ
- 16 上面チップエリア電極パッド
- 17 バンブ
- 18 下面チップエリア電極パッド 19 下面チップ周辺電極パッド



【图6】

34 クロスバスイッチ

